

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-331757

(43)Date of publication of application : 13.12.1996

---

(51)Int.Cl. H02H 9/02

H01L 29/78

H03F 1/52

---

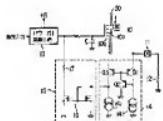
(21)Application number : 07-135224 (71)Applicant : TOSHIBA CORP

TOSHIBA INF SYST  
JAPAN CORP

(22)Date of filing : 01.06.1995 (72)Inventor : IWAMOTO YASUNORI  
TAMURA YUTAKA

---

(54) OVERCURRENT LIMITING CIRCUIT



(57)Abstract:

PURPOSE: To detect an overcurrent of a semiconductor element to be protected and thereby to prevent oscillation during a feedback control by a method wherein

an output current of an overcurrent detecting circuit is turned back, an output current of a power transistor drive circuit is extracted in accordance with the turn-back current and thereby the feedback control is conducted so that a power transistor may be brought into an off-state.

CONSTITUTION: When a load impedance lowers as is the case with short-circuiting of a load and an output current of power FET (transistor) 10 and a current thereof for detection increase and when the current flowing into an overcurrent detecting circuit 14 from a terminal 10b for current detection of the power FET 10 exceeds a reference current flowing through a second reference current source 142 (i.e., in an overcurrent), this is detected by the overcurrent detecting circuit 14 and an output current from the overcurrent detecting circuit 14 is turned back by a current mirror circuit 16. This turn-back current flows to a resistance element 17, an output current of a power FET drive circuit 13 is thereby extracted to a grounding node and the power FET 10 is subjected to a feedback control so that it may be brought into an off-state.

---

#### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The power transistor of the electrical-potential-difference actuation mold which has multi-cell structure, The power transistor actuation circuit for controlling the control-electrode potential of the above-mentioned power transistor by turning on/off controlling the supply output of the charging current over the control-electrode capacity of the above-mentioned power transistor according to the actuation control signal for the above-mentioned power transistors, The overcurrent sensing circuit which detects and outputs the amount of currents at the time of the overcurrent of the current for detection which is connected to the terminal for current detection of said power transistor, and flows for the above-mentioned terminal for current detection, The overcurrent limiting circuit characterized by providing the control circuit which controls the control-electrode potential of said power transistor by turning up the output current of the above-mentioned overcurrent sensing circuit, and drawing out the output current of said power transistor actuation circuit according to this clinch current.

[Claim 2] It is the overcurrent limiting circuit characterized by detecting the amount of currents at the time of the overcurrent to which said overcurrent

sensing circuit was connected to the terminal for current detection of said power transistor, the difference of the current for detection and the reference current of the source of reference current which flow for the above-mentioned terminal for current detection was taken, and the above-mentioned current for detection exceeded reference current in an overcurrent limiting circuit according to claim 1, and outputting.

[Claim 3] It is the overcurrent limiting circuit characterized by for the power transistor of the electrical-potential-difference actuation mold which has said multi-cell structure being an insulated-gate mold power field-effect transistor of the double diffusion mold which has multi-source structure in an overcurrent limiting circuit according to claim 1, and said control circuit possessing the resistance element which passes the output current of said power transistor actuation circuit according to the output current of the current Miller circuit which the output current of said overcurrent sensing circuit inputs, and turns up this input current, and the above-mentioned current Miller circuit.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the overcurrent limiting circuit formed on the same chip as the power transistor of the electrical-potential-difference actuation mold which is applied to the overcurrent limiting circuit for detecting and protecting the overcurrent of a semiconductor device, especially has multi-cell structure.

[0002]

[Description of the Prior Art] Drawing 3 shows the conventional example of the overcurrent limiting circuit of the power metal-oxide semiconductor field effect transistor (insulated gate field effect transistor) formed in the integrated circuit (IC). In drawing 3 , 10 is the DMOS (double diffusion mold) power FET which has multi-source structure (the 1st source 10a, the 2nd source 10b), the drain is connected to a power supply terminal 20, and 1st source (current output terminal) 10a is connected to the backgate and the current output terminal (external load connection terminal) 11 of IC. 12 is a load circuit connected to the current output terminal 11.

[0003] 13 is a power FET actuation circuit for controlling the gate potential of Power FET by turning on/off controlling the supply output of the charging current over gate capacitance C of Power FET according to a power FET actuation control signal.

[0004] 21 is an overcurrent sensing circuit which detects and outputs the amount of currents at the time of the overcurrent of the current for detection which is connected to 2nd source (terminal for current detection) 10b of Power FET, and flows to terminal 10b for current detection. This overcurrent sensing circuit 21 takes the difference of the current for detection and the reference current of the source 141 of reference current which flow to terminal 10b for current detection of power FET 10, and is constituted by the current comparison circuit which detects and outputs the amount of currents at the time of the overcurrent to which the above-mentioned current for detection exceeded reference current.

[0005] 22 is an electrical-potential-difference conversion circuit using the resistance element which changes and outputs the detection current of the above-mentioned current detector 21 to a voltage signal. 23 is a voltage amplification circuit which controls the gate potential of power FET 10 by amplifying the voltage output of the above-mentioned resistance element 22, drawing out the output current of said power FET actuation circuit 13, and passing the current according to the above-mentioned output voltage to touch-down potential.

[0006] In the above-mentioned configuration, at the time of normal operation, load impedance is 12ohms, the pulse signal input of 12V and the power FET actuation circuit 13 changes [ the applied voltage of a power supply terminal 20 ] between 0V and 5V, and the pulse signal output changes between 0V and 20V. Under the present circumstances, when 20V are impressed to the gate of power FET 10, 1A flows to current output terminal 10a of Power FET, and about [ that ] (about 1mA) 1/1000 current flows to terminal 10b for current detection of power FET 10.

[0007] And when the current for detection exceeds reference current while load impedance falls and the output current of power FET 10 increases at the time of a load short circuit etc. and (at the time of an overcurrent), an overcurrent sensing circuit 21, the electrical-potential-difference conversion circuit 22, and the voltage amplification circuit 23 protect power FET 10 by carrying out feedback control so that the output current of the power FET actuation circuit 13 may be drawn out and power FET 10 may be made into an OFF state.

[0008] However, including the voltage amplification circuit 23, since the gain is large for a power FET feedback control path, the control action at the time of feedback control may become instability, and may oscillate the overcurrent limiting circuit of the above-mentioned configuration for it.

[0009] In the circuit of drawing 3 , supply voltage is impressed to a power supply terminal 20 in a load short circuit condition, and drawing 4 shows signs that the wave of the current IDS between the drain sources of power FET 10 becomes

instability, when the control action of a power FET feedback control path becomes instability and the overcurrent limiting circuit is oscillating.

[0010]

[Problem(s) to be Solved by the Invention] As described above, since the gain of the voltage amplification circuit included in the feedback control path of a protected semiconductor device was large, the conventional overcurrent limiting circuit had the problem that it may oscillate depending on the load conditions of a protected component at the time of the feedback control at the time of the overcurrent detection.

[0011] It was made that this invention should solve the above-mentioned trouble, and aims at offering the overcurrent limiting circuit which can prevent the oscillation when detecting and carrying out feedback control of the overcurrent of a protected semiconductor device.

[0012]

[Means for Solving the Problem] The power transistor of the electrical-potential-difference actuation mold with which the overcurrent limiting circuit of this invention has multi-cell structure, The power transistor actuation circuit for controlling the control-electrode potential of the above-mentioned power transistor by turning on/off controlling the supply output of the charging current over the control-electrode capacity of the above-mentioned power transistor according to the actuation control signal for the above-mentioned power transistors, The overcurrent sensing circuit which detects and outputs the amount of currents at the time of the overcurrent of the current for detection which is connected to the terminal for current detection of said power transistor, and flows for the above-mentioned terminal for current detection, The output current of the above-mentioned overcurrent sensing circuit is turned up, and it is characterized by providing the control circuit which controls the control-electrode potential of said power transistor by drawing out the output current of said power transistor actuation circuit according to this clinch current.

[0013]

[Function] When the current for current detection exceeds reference current while the impedance of the load of a power transistor falls and the output current of a power transistor increases and (at the time of an overcurrent), a power transistor is protected by an overcurrent sensing circuit's detecting this, and carrying out feedback control so that a control circuit may draw out the output current of a power transistor actuation circuit and may make a power transistor an OFF state.

[0014] Under the present circumstances, the power transistor feedback control path which consists of an overcurrent sensing circuit and a control circuit constitutes the current control path, and excluding a voltage amplification circuit, since that gain is low, the actuation when detecting and carrying out feedback control of the overcurrent of a power transistor does not become instability, but it becomes possible to prevent the oscillation of an overcurrent limiting circuit.

[0015]

[Example] Hereafter, the example of this invention is explained to a detail with reference to a drawing. Drawing 1 shows the overcurrent limiting circuit of the IC-ized power FET concerning one example of this invention.

[0016] Setting to drawing 1 , 10 is multi-source structure (the 1st source 10a, the 2nd source 10b) (it is the DMOS mold power FET which it has, and the drain is connected to a power supply terminal 20, and 1st source (current output terminal) 10a is connected to the backgate and the current output terminal (external load connection terminal) 11 of IC.). 12 is a load circuit connected to the above-mentioned current output terminal 11.

[0017] 13 is a power FET actuation circuit for controlling the gate potential of power FET 10 by turning on/off controlling the supply output of the charging current over gate capacitance C of power FET 10 according to a power FET actuation control signal.

[0018] 14 is the overcurrent sensing circuit connected to the 2nd source (terminal for current detection) 10 b of power FET, it detects and outputs the amount of currents at the time of the overcurrent of the current for detection which flows to the above-mentioned terminal 10b for current detection, takes the difference of

the above-mentioned current for detection, and the reference current of the source 142 of reference current, and is constituted by the current comparison circuit which detects and outputs the amount of currents at the time of the overcurrent to which the above-mentioned current for detection exceeded reference current.

[0019] 1st NPN transistor Q1 by which the emitter was connected to current output terminal 10a of power FET 10 as an example of the above-mentioned overcurrent sensing circuit 14, The 1st source 141 of reference current connected between the collector of 1st NPN transistor Q1 of the above, and the touch-down node, 2nd NPN transistor Q2 by which the base emitter was connected corresponding to the collector base of 1st NPN transistor Q1 of the above, and the collector was connected to the touch-down node, 3rd NPN transistor Q3 by which the emitter was connected to terminal 10b for current detection of power FET 10, and the base was connected to the base of said 1st NPN transistor Q1, It consists of the 2nd source 142 of reference current connected between the collector of 3rd NPN transistor Q3 of the above, and the touch-down node. Here, it is designed so that the reference current which flows in the source 142 of reference current of the above 2nd, and the reference current which flows in said 1st source 141 of reference current may become almost the same.

[0020] 15 is a control circuit which controls the control-electrode potential of power FET 10 by turning up the output current of said overcurrent sensing circuit 14, and drawing out the output current of said power FET actuation circuit 13 according to this clinch current.

[0021] The output current of an overcurrent sensing circuit 14 inputs the above-mentioned control circuit 15, and it consists of MOS mold current Miller circuit 16 (in this example, DMOSFET of the same structure as power FET 10 is used.) which turns up this input current, and a resistance element 17 which generates the electrical potential difference according to the output current of above-mentioned current Miller circuit 16, draws out the output current of the power FET

actuation circuit 13, and is passed to touch-down potential.

[0022] In addition, although above-mentioned current Miller circuit 16 may be constituted using a bipolar transistor, as for the transistor of an output side, it is desirable [ the Miller circuit ] to have the high proof-pressure property of bearing the output voltage of the power FET actuation circuit 13.

[0023] In the above-mentioned configuration, at the time of normal operation, load impedance is 12ohms, the pulse signal input of 12V and the power FET actuation circuit 13 changes [ the applied voltage of a power supply terminal 20 ] between 0V and 5V, and the pulse signal output changes between 0V and 20V.

[0024] Under the present circumstances, when 20V are impressed to the gate of power FET 10, 1A flows to current output terminal 10a of Power FET, and about [ that ] (about 1mA) 1/1000 current flows to terminal 10b for current detection of Power FET. In this condition, the current which flows into an overcurrent sensing circuit 14 from terminal 10for current detection b of Power FET, and the reference current which flows in the 2nd source 142 of reference current balance, there is no output current from an overcurrent sensing circuit 14, and current Miller circuit 16 is an OFF state.

[0025] On the other hand, load impedance falls like at the time of a load short circuit, the output current and the current for detection of power FET 10 increase, when the current which flows into an overcurrent sensing circuit 14 from terminal 10for current detection b of Power FET exceeds the reference current which flows in the 2nd source 142 of reference current (at the time of an overcurrent), an overcurrent sensing circuit 14 detects this and current Miller circuit 16 turns up the output current from an overcurrent sensing circuit 14. When this clinch current flows to a resistance element 17, the output current of the power FET actuation circuit 13 is drawn out by the touch-down node, and feedback control is carried out so that power FET 10 may make it an OFF state. Thereby, power FET 10 is protected.

[0026] Under the present circumstances, the power FET feedback control path which consists of an overcurrent sensing circuit 14, current Miller circuit 16, and a

resistance element 17 constitutes the current control path, and excluding a voltage amplification circuit, since that gain is low, the actuation when detecting and carrying out feedback control of the overcurrent of power FET 10 does not become instability, but it becomes possible to prevent the oscillation of an overcurrent limiting circuit. Moreover, since the above-mentioned power FET feedback control path performs current control, there are few the operating element numbers, it is easy to constitute, and has the advantage that setting out of the parameter of a circuit property is also easy.

[0027] Control action of a power FET feedback control path is carried out to stability, and drawing 2 shows the situation that the wave of the current IDS between the drain sources of Power FET is stable, when supply voltage is impressed to a power supply terminal 20 in a load short circuit condition in the circuit of drawing 1 .

[0028] In addition, the overcurrent limiting circuit of this invention is applicable to the power transistor of the electrical-potential-difference actuation mold which has the multi-cell structure containing IGBT (insulated-gate mold bipolar transistor) which has not only the DMOS power FET of the above-mentioned example but multi-emitter structure.

[0029]

[Effect of the Invention] As mentioned above, according to the overcurrent limiting circuit of this invention, the oscillation when detecting and carrying out feedback control of the overcurrent of a protected semiconductor device can be prevented.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
  - 2.\*\*\*\* shows the word which can not be translated.
  - 3.In the drawings, any words are not translated.
- 

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] The circuit diagram showing the overcurrent limiting circuit of the power FET concerning one example of this invention.

[Drawing 2] The wave form chart showing the situation that the wave of the current IDS between the drain sources of Power FET is stable when supply voltage is impressed to a power supply terminal in a load short circuit condition in the circuit of drawing 1 .

[Drawing 3] The circuit diagram showing the overcurrent limiting circuit of the conventional power FET.

[Drawing 4] The wave form chart showing the situation that the wave of the current IDS between the drain sources of Power FET is unstable when supply voltage is impressed to a power supply terminal in a load short circuit condition in the circuit of drawing 3 .

### [Description of Notations]

10 -- The DMOS mold power FET which has multi-source structure, 10a -- The 1st source of Power FET (current output terminal), 10b -- The 2nd source (terminal for current detection) of Power FET, 11 -- The current output terminal of IC, 12 [ -- The source of reference current 15 / -- A control circuit, 16 / -- Current Miller circuit, 17 / -- A resistance element, 20 / -- A power supply terminal, C / -- Gate electrode capacitance of Power FET. ] -- A load circuit, 13 -- A power FET actuation circuit, 14 -- 141 An overcurrent sensing circuit, 142

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.

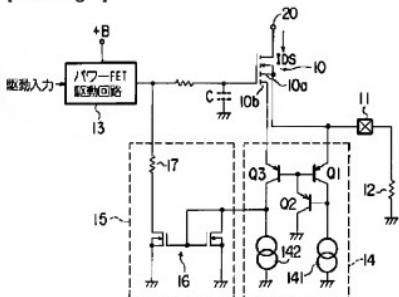
1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

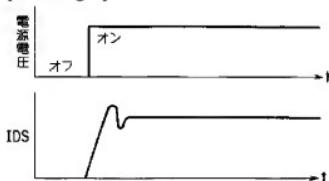
DRAWINGS

---

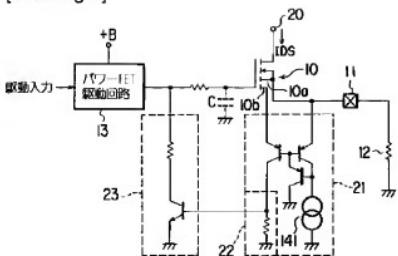
[Drawing 1]



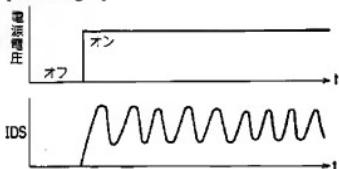
[Drawing 2]



[Drawing 3]



[Drawing 4]



---

[Translation done.]

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-331757

(43)公開日 平成8年(1996)12月13日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 2 H 9/02		H 0 2 H 9/02	E	
H 0 1 L 29/78		H 0 3 F 1/52	Z	
H 0 3 F 1/52		H 0 1 L 29/78	3 0 1 K	

審査請求 未請求 請求項の数3 O L (全5頁)

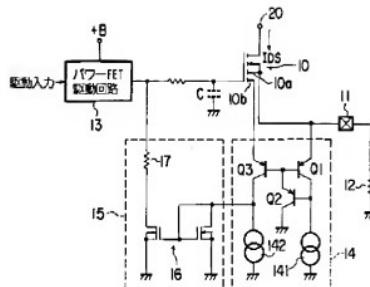
(21)出願番号	特願平7-135224	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成7年(1995)6月1日	(71)出願人	391016358 東芝情報システム株式会社 神奈川県川崎市川崎区日進町7番地1
		(72)発明者	岩本 栄典 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内
		(72)発明者	田村 豊 東京都渋谷区千駄ヶ谷3丁目50番11号明星ビル 東芝情報システム株式会社内
		(74)代理人	弁理士 鈴江 武彦

## (54)【発明の名称】 過電流制限回路

## (57)【要約】

【目的】被保護半導体素子の過電流を検出して帰還制御する時の発振を防止し得る過電流制限回路を提供する。

【構成】マルチセル構造を有する電圧駆動型のパワートランジスタ10と、パワートランジスタの制御電極容量Cに対する充電電流の供給出力をオン／オフ制御することによりパワートランジスタの制御電極電位を制御するためのパワートランジスタ駆動回路13と、パワートランジスタの電流検出用端子10bに流れる検出用電流の過電流時の電流量を検出して出力する過電流検出回路14と、過電流検出回路の出力電流を折り返し、この折り返し電流に応じてパワートランジスタ駆動回路の出力電流を引き抜くことによりパワートランジスタの制御電極電位を制御する制御回路15とを具備することを特徴とする。



## 【特許請求の範囲】

【請求項1】 マルチセル構造を有する電圧駆動型のパワートランジスタと、上記パワートランジスタ用の駆動制御信号に応じて上記パワートランジスタの制御電極容量に対する充電電流の供給出力をオン／オフ制御することにより上記パワートランジスタの制御電極電位を制御するためのパワートランジスタ駆動回路と、前記パワートランジスタの電流検出用端子に接続され、上記電流検出用端子に流れる検出用電流の過電流時の電流量を検出して出力する過電流検出回路と、上記過電流検出回路の出力電流を折り返し、この折り返し電流に応じて前記パワートランジスタ駆動回路の出力電流を引き抜くことにより前記パワートランジスタの制御電極電位を制御する制御回路とを備備することを特徴とする過電流制限回路。

【請求項2】 請求項1記載の過電流制限回路において、前記過電流検出回路は、前記パワートランジスタの電流検出用端子に接続され、上記電流検出用端子に流れれる検出用電流と基準電流源の基準電流との差をとり、上記検出用電流が基準電流を越えた過電流時の電流量を検出して出力することを特徴とする過電流制限回路。

【請求項3】 請求項1記載の過電流制限回路において、前記マルチセル構造を有する電圧駆動型のパワートランジスタは、マルチソース構造を有する二重拡散型の絶縁ゲート型パワー電界効果トランジスタであり、前記制御回路は、前記過電流検出回路の出力電流が入力し、この入力電流を折り返すカレントミラー回路と、上記カレントミラーレ回路の出力電流に応じて前記パワートランジスタ駆動回路の出力電流を流す抵抗素子とを備備することを特徴とする過電流制限回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体素子の過電流を検出して保護するための過電流制限回路に係り、特にマルチセル構造を有する電圧駆動型のパワートランジスタと同一チップ上に形成される過電流制限回路に関する。

## 【0002】

【従来の技術】 図3は、集積回路(1C)に形成されたパワーMOSFET(絶縁ゲート型電界効果トランジスタ)の過電流制限回路の従来例を示す。図3において、10はマルチソース構造(第1のソース10a、第2のソース10b)を有するDMOS(二重拡散型)パワーFETであり、そのドレンは電源端子20に接続され、第1のソース(電流出力端子)10aはバックゲートおよび1Cの電流出力端子(外部負荷接続端子)11に接続されている。12は電流出力端子11に接続されている負荷回路である。

【0003】 13はパワーFET駆動制御信号に応じてパワーFETのゲート容量Cに対する充電電流の供給出力をオン／オフ制御することによりパワーFETのゲー

ト電位を制御するためのパワーFET駆動回路である。

【0004】 21はパワーFETの第2のソース(電流検出用端子)10bに接続され、電流検出用端子10bに流れる検出用電流の過電流時の電流量を検出して出力する過電流検出回路である。この過電流検出回路21は、パワーFET10の電流検出用端子10bに流れる検出用電流と基準電流源141の基準電流との差をとり、上記検出用電流が基準電流を越えた過電流時の電流量を検出して出力する電流比較回路により構成されている。

【0005】 22は上記電流検出回路21の検出電流を電圧信号に変換して出力する抵抗素子を用いた電圧変換回路である。23は上記抵抗素子22の電圧出力を増幅し、上記出力電圧に応じた電流を前記パワーFET駆動回路13の出力電流を引き抜いて接地電位に流すことによりパワーFET10のゲート電位を制御する電圧増幅回路である。

【0006】 上記構成において、通常動作時には、負荷インピーダンスが例えば $12\Omega$ であり、電源端子20の印加電圧が例えば12V、パワーFET駆動回路13のバルス信号入力が0Vと例えば5Vとの間で変化してそのバルス信号出力が0Vと例えば20Vとの間で変化する。この際、パワーFET10のゲートに20Vが印加されている時には、パワーFETの電流出力端子10aに1Aが流れ、その1/1000程度(1mA程度)の電流がパワーFET10の電流検出用端子10bに流れる。

【0007】 そして、負荷短絡時などに負荷インピーダンスが低下し、パワーFET10の出力電流が増加するとともにおよび検出用電流が基準電流を越えた時(過電流時)には、過電流検出回路21と電圧変換回路22と電圧増幅回路23は、パワーFET駆動回路13の出力電流を引き抜いてパワーFET10をオフ状態にするように帰還制御することにより、パワーFET10を保護する。

【0008】 しかし、上記構成の過電流制限回路は、パワーFET帰還制御経路に電圧増幅回路23を含み、その利得が大きいので、帰還制御時の制御動作が不安定になり、発振する場合がある。

【0009】 図4は、図3の回路において負荷短絡状態の時に電源端子20に電源電圧が印加され、パワーFET帰還制御経路の制御動作が不安定になって過電流制限回路が発振している場合に、パワーFET10のドレン・ソース間電流IDSの波形が不安定になる様子を示す。

## 【0010】

【発明が解決しようとする課題】 上記したように従来の過電流制限回路は、被保護半導体素子の帰還制御経路に含まれる電圧増幅回路の利得が大きいので、被保護素子の負荷条件によってはその過電流検出時の帰還制御時に

発振する場合があるという問題があった。

【0011】本発明は上記の問題点を解決すべくなされたもので、被保護半導体素子の過電流を検出して帰還制御する時の発振を防止し得る過電流制限回路を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の過電流制限回路は、マルチセル構造を有する電圧駆動型のパワートランジスタと、上記パワートランジスタ用の制御制御信号に応じて上記パワートランジスタの制御電極容量に対する充電電流の供給出力をオン／オフ制御することにより上記パワートランジスタの制御電極電位を制御するためのパワートランジスタ駆動回路と、前記パワートランジスタの電流検出用端子に接続され、上記電流検出用端子に流れる検出用電流の過電流時の電流量を検出して出力する過電流検出回路と、上記過電流検出回路の出力電流を折り返し、この折り返し電流に応じて前記パワートランジスタ駆動回路の出力電流を引き抜くことにより前記パワートランジスタの制御電極電位を制御する制御回路とを具備することを特徴とする。

【0013】

【作用】パワートランジスタの負荷のインピーダンスが低下し、パワートランジスタの出力電流が増加するとともにおよび電流検出用電流が基準電流を越えた時（過電流時）、これを過電流検出回路が検出し、制御回路がパワートランジスタ駆動回路の出力電流を引き抜いてパワートランジスタをオフ状態にするように帰還制御することにより、パワートランジスタを保護する。

【0014】この際、過電流検出回路と制御回路とからなるパワートランジスタ駆動回路は、電流制御経路を構成しており、電圧増幅回路をまぎ、その利得が低いので、パワートランジスタの過電流を検出して帰還制御する時の動作が不安定にならず、過電流制限回路の発振を防止することが可能になる。

【0015】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。図1は、本発明の一実施例に係るIC化されたパワーフェトの過電流制限回路を示している。

【0016】図1において、10はマルチソース構造（第1のソース10a、第2のソース10b）を有するDMOS型パワーフェトであり、そのドレンは電源端子20に接続され、第1のソース（電流出力端子）10aはバックゲートおよびICの電流出力端子（外部負荷接続端子）11に接続されている。12は上記電流出力端子11に接続されている負荷回路である。

【0017】13はパワーフェト駆動制御信号に応じてパワーフェト10のゲート容量Cに対する充電電流の供給出力をオン／オフ制御することによりパワーフェト10のゲート電位を制御するためのパワーフェト駆動回路である。

【0018】14はパワーフェトの第2のソース（電流検出用端子）10bに接続されている過電流検出回路であり、上記電流検出用端子10bに流れる検出用電流の過電流時の電流量を検出して出力するものであり、上記検出用電流と基準電流源142の基準電流との差をとり、上記検出用電流が基準電流を越えた過電流時の電流量を検出して出力する電流比較回路により構成されている。

【0019】上記過電流検出回路14の一例としては、10パワーフェト10の電流出力端子10aにエミッタが接続された第1のNPNトランジスタQ1と、上記第1のNPNトランジスタQ1のコレクタと接地ノードとの間に接続された第1の基準電流源141と、上記第1のNPNトランジスタQ1のコレクタ・ベースに対応してベース・エミッタが接続され、コレクタが接地ノードに接続された第2のNPNトランジスタQ2と、パワーフェト10の電流検出用端子10bにエミッタが接続され、前記第1のNPNトランジスタQ1のベースにベースが接続された第3のNPNトランジスタQ3と、上記第3のNPNトランジスタQ3のコレクタと接地ノードとの間に接続された第2の基準電流源142とからなる。ここで、上記第2の基準電流源142に流れる基準電流と前記第1の基準電流源141に流れる基準電流とはほぼ同じになるよう設計されている。

【0020】15は前記過電流検出回路14の出力電流を折り返し、この折り返し電流に応じて前記パワーフェト駆動回路13の出力電流を引き抜くことによりパワーフェト10の制御電極電位を制御する制御回路である。

【0021】上記制御回路15は、過電流検出回路14の出力電流が入力し、この入力電流を折り返すMOS型カレントミラー回路16（本例では、パワーフェト10と同様の構造のDMOSFETが用いられている。）と、上記カレントミラー回路16の出力電流に応じた電圧を生成してパワーフェト駆動回路13の出力電流を引き抜いて接地電位に流す抵抗素子17とからなる。

【0022】なお、上記カレントミラー回路16は、バイオーラトランジスタを用いて構成してもよいが、出力側のトランジスタはパワーフェト駆動回路13の出力電圧に耐える高耐圧特性を有することが望ましい。

【0023】上記構成において、通常動作時には、負荷インピーダンスが例えば12Ωであり、電源端子20の印加電圧が例えば12V、パワーフェト駆動回路13のバ尔斯信号入力が0Vと例えば5Vとの間で変化してそのバ尔斯信号出力が0Vと例えば20Vとの間で変化する。

【0024】この際、パワーフェト10のゲートに20Vが印加されている時には、パワーフェトの電流出力端子10aに1Aが流れ、その1/1000程度（1mA程度）の電流がパワーフェトの電流検出用端子10bに流れ。この状態においては、パワーフェトの電流検出

用端子 10 b から過電流検出回路 14 に流れ込む電流と第2の基準電流源 14 2 に流れる基準電流とが平衡しており、過電流検出回路 14 からの出力電流ではなく、カレントミラー回路 16 はオフ状態である。

【0025】これに対して、負荷短絡時などにより負荷インピーダンスが低下し、パワーFET 10 の出力電流および検出用電流が増加し、パワーFET の電流検出用端子 10 b から過電流検出回路 14 に流れ込む電流が第2の基準電流源 14 2 に流れる基準電流を越えた時(過電流時)、これを過電流検出回路 14 が検出し、過電流検出回路 14 からの出力電流をカレントミラー回路 16 が折り返す。この折り返し電流が抵抗素子 17 に流れることによりパワーFET 駆動回路 13 の出力電流が接地ノードに引き抜かれ、パワーFET 10 がオフ状態にするように帰還制御される。これにより、パワーフET 10 が保護される。

【0026】この際、過電流検出回路 14 とカレントミラー回路 16 と抵抗素子 17 とかなるパワーFET 帰還制御経路は、電流制御経路を構成しており、電圧増幅回路を含まず、その利得が低いので、パワーFET 10 の過電流を検出して帰還制御する時の動作が不安定にならず、過電流制限回路の発振を防止することが可能になる。また、上記パワーFET 帰還制御経路は、電流制御を行うので、その使用素子数が少なくて構成が簡単であり、回路特性のパラメータの設定も容易であるという利点がある。

【0027】図2は、図1の回路において負荷短絡状態の時に電源端子 20 に電源電圧が印加された場合に、パワーFET 帰還制御経路の制御動作が安定に行われ、パワーFET 10 のドレン・ソース間電流 IDS の波形が安定である様子を示す。

10

20

30

【0028】なお、本発明の過電流制限回路は、上記実例のDMOSパワーFETに限らず、マルチエミッタ構造を有するIGBT(絶縁ゲート型バイポーラトランジスタ)などを含むマルチセル構造を有する電圧駆動型のパワートランジスタに対して適用可能である。

【0029】

【発明の効果】上述したように本発明の過電流制限回路によれば、被保護半導体素子の過電流を検出して帰還制御する時の発振を防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るパワーFETの過電流制限回路を示す回路図。

【図2】図1の回路において負荷短絡状態の時に電源端子に電源電圧が印加された場合にパワーFETのドレン・ソース間電流IDSの波形が安定である様子を示す波形図。

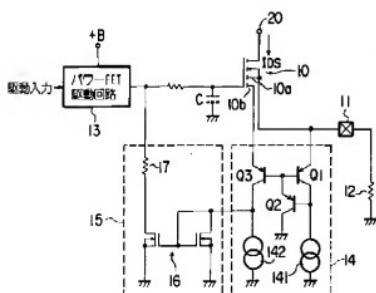
【図3】従来のパワーFETの過電流制限回路を示す回路図。

【図4】図3の回路において負荷短絡状態の時に電源端子に電源電圧が印加された場合にパワーFETのドレン・ソース間電流IDSの波形が不安定である様子を示す波形図。

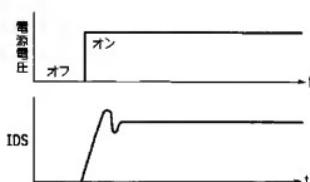
【符号の説明】

1 0 …マルチソース構造を有するDMOS型パワーFET、1 0 a …パワーFETの第1のソース(電流出力端子)、1 0 b …パワーFETの第2のソース(電流検出用端子)、1 1 …ICの電流出力端子、1 2 …負荷回路、1 3 …パワーFET駆動回路、1 4 …過電流検出回路、1 4 1、1 4 2 …基準電流源、1 5 …制御回路、1 6 …カレントミラー回路、1 7 …抵抗素子、2 0 …電源端子、C …パワーフETのゲート電極容量。

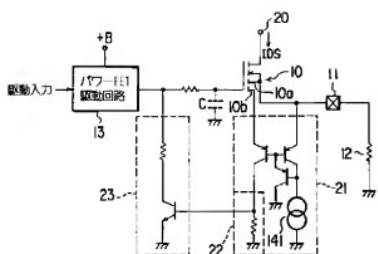
【図1】



【図2】



【図3】



【図4】

